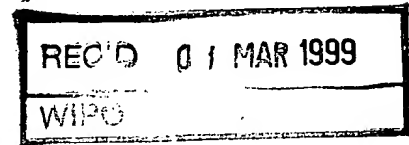


**PRIORITY** 09/582067  
**DOCUMENT**

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)



DE 98/3794



**Bescheinigung**

Das Institut für Halbleiterphysik Frankfurt (Oder) GmbH  
in Frankfurt, Oder/Deutschland hat eine Patentanmeldung  
unter der Bezeichnung

"Integrierte Induktivität und Verfahren zu ihrer  
Herstellung"

am 22. Dezember 1997 beim Deutschen Patent- und Markenamt  
eingereicht.

Die angehefteten Stücke sind eine richtige und genaue  
Wiedergabe der ursprünglichen Unterlagen dieser Patent-  
anmeldung.

Die Anmeldung hat im Deutschen Patent- und Markenamt vor-  
läufig die Symbole H 01 L und H 01 F der Internationalen  
Patentklassifikation erhalten.

München, den 17. Dezember 1998  
Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag

Stück

Zeichen: 197 58 349.0

## **Zusammenfassung**

Die Erfindung bezieht sich auf eine integrierte Induktivität und ein Verfahren zu ihrer Herstellung. Aufgabe der Erfindung ist es, integrierte Induktivitäten hoher Güte und ein Verfahren zu ihrer Herstellung vorzuschlagen, ohne bei der Herstellung den technologischen Ablauf zur Realisierung des Kontakt- und Leitbahnsystems moderner CMOS-Technologien nachteilig zu beeinflussen, wobei insbesondere keine zusätzlichen Planarisierungsschritte erforderlich werden. Diese Aufgabenstellung wird durch eine partielle, mindestens 5 µm dicke Isolierschicht, die auf den Bereich der integrierten Induktivität lokal begrenzt und im Halbleitersubstrat versenkt ist, gelöst. Durch parasitäre Einflüsse bedingte Verluste der Induktivität, die vom spezifischen elektrischen Widerstand des verwendeten Siliziumsubstrates abhängig sind, werden stark verringert, so daß sich die Güte der integrierten Induktivität in Abhängigkeit von der gewählten Dicke der vergrabenen Isolierschicht um ca. 40% und darüber hinaus gegenüber planaren Induktivitäten auf konventioneller CMOS-Basis erhöhen läßt. Der wesentliche Vorteil dieser hier vorgeschlagenen lokalen Isolationsvariante besteht in der Realisierung des nur auf den Bereich der späteren Induktivität begrenzten dicken, versenkten Oxids. Hierdurch werden im nachfolgenden technologischen Prozeß gravierende Unterschiede in den Strukturhöhen - und damit aufwendige Planarisierungsmaßnahmen - vermieden.

## **Integrierte Induktivität und Verfahren zu ihrer Herstellung**

Die Erfindung bezieht sich auf eine integrierte Induktivität und ein Verfahren zu ihrer Herstellung.

Die Integration von Induktivitäten ist eine dringende Notwendigkeit z.B. für die Realisierung monolithischer RF Transceiver Schaltkreise auf Silizium-Substraten. Im GHz-Bereich wird zwischen den Blöcken eine Impedanz-Anpassung erforderlich, für die diese passiven Elemente benötigt werden. Werden die Schaltungen mit Bipolar-Technologien realisiert, können durch Verwendung hochohmiger oder semiisolierender Substrate die substratbedingten kapazitiven und ohmschen Verluste der Induktivitäten gering gehalten werden, so daß hohe Güten erreichbar sind. Es ist jedoch davon auszugehen, daß CMOS-Technologien wegen geringerer Kosten, eines geringen Leistungsverbrauchs und geringerer Abmessungen bevorzugt werden, sobald sie die Anforderungen zur Herstellung von RF Transceivern für zellulare Systeme oder LAN erfüllen. Das bedeutet jedoch, daß aufgrund der zumeist verwendeten niederohmigen Si-Substrate (typisch 1 - 10  $\Omega\text{cm}$ ) die gewünschten hohen Güten der Induktivitäten nicht a priori erreicht werden können. Die Optimierung dieser passiven Komponenten bedeutet vor allem die Maximierung des Gütefaktors (Q) durch eine Minimierung der Widerstandsverluste und der kapazitiven Parasitics. Die substratbedingten Verluste können reduziert werden, indem die Spiralbahn der Induktivität möglichst weit vom Silizium-Substrat entfernt wird - z.B. indem bei einem Mehrebenen-Leitbahnsystem die

oberste(n) Ebene(n) für die Spirale verwendet wird, so daß sich aufgrund mehrerer Zwischenebenen-Isolierschichten in der Summe eine ausreichend dicke Isolation zwischen Spirale und Substrat ergibt. Da CMOS-Technologien mit Abmessungen  $\leq 0.5 \mu\text{m}$  jedoch i.a. relativ dünne Isolierschichten verwenden, können bei niederohmigen Silizium-Substraten die Verluste ohne zusätzliche Maßnahmen nicht ausreichend gering gehalten werden. Zur Reduzierung der substratbedingten Verluste wurden bisher solche Varianten wie Verwendung von hochohmigen Silizium-Wafern, Verwendung von SOI-Substraten (auf Basis hochohmiger Silizium-Wafer), Verwendung von SOS-Substraten, Entfernung von Silizium unter der Spirale (Luftbrücke), Verwendung von Dielektrika mit geringerer relativer Dielektrizitätskonstante als von Siliziumdioxid, z.B. Polymere, sowie Realisierung der Metallspirale in einer mehrere  $\mu\text{m}$  dicken Metallschicht über einer sehr dicken Isolierschicht, wobei beide Schichten zusätzlich oberhalb des für die Schaltungen benötigten CMOS-Aufbaus zu realisieren sind, vorgeschlagen. Diese Varianten haben den Nachteil, daß die etablierten CMOS-Technologien modifiziert werden müssen bzw. die Halbleitersubstrate teurer sind.

Aufgabe der Erfindung ist es, integrierte Induktivitäten hoher Güte und ein Verfahren zu ihrer Herstellung vorzuschlagen, bei denen die Nachteile des Standes der Technik beseitigt werden und ohne bei der Herstellung den technologischen Ablauf zur Realisierung des Kontakt- und Leitbahnsystems moderner CMOS-Technologien nachteilig zu beeinflussen, wobei insbesondere keine zusätzlichen Planarisierungsschritte erforderlich werden.

Diese Aufgabenstellung wird durch eine partielle, mindestens 5  $\mu\text{m}$  dicke Isolierschicht, die auf den Bereich der integrierten Induktivität lokal begrenzt und im Halbleitersubstrat versenkt ist, gelöst.

Durch parasitäre Einflüsse bedingte Verluste der Induktivität, die vom spezifischen elektrischen Widerstand des verwendeten Siliziumsubstrates abhängig sind, werden stark verringert, so daß sich die Güte der integrierten Induktivität in Abhängigkeit von der gewählten Dicke der vergrabenen Isolierschicht um ca. 40% und darüber hinaus gegenüber planaren Induktivitäten auf konventioneller CMOS-Basis erhöhen läßt.

Der wesentliche Vorteil dieser hier vorgeschlagenen lokalen Isolationsvariante besteht in der Realisierung des nur auf den Bereich der späteren Induktivität begrenzten dicken, versenkten Oxids. Hierdurch werden im nachfolgenden technologischen Prozeß gravierende Unterschiede in den Strukturhöhen - und damit aufwendige Planarisierungsmaßnahmen - vermieden. Der Prozeß zur Herstellung stark skaliertter CMOS- oder BiCMOS-Strukturen wird somit nicht nachteilig durch die Notwendigkeit, für die Realisierung von integrierten Induktivitäten mit hoher Güte zusätzliche dicke Isolationsschichten zwischen Spirale und Substrat einzufügen, beeinflusst. Die Herstellung einer erfindungsgemäßen integrierten Induktivität erfolgt durch die Verfahrensschritte

- Maskierung der Oberfläche des Silizium-Wafers,
- Ausbildung von Gräben und Stegen durch anisotrope Ätzung,
- Oxidation der Stege zu Siliziumoxid und zumindest oberflächennahes Auffüllen der Gräben durch Abscheidung von Siliziumoxid,
- CMOS-Prozeß mit Herstellung der Induktivität unter Nutzung des im jeweiligen Prozeß vorhandenen Kontakt- und Leitbahnsystems oberhalb der Region des vergrabenen dicken Oxids.

Alternativ läßt sich eine erfindungsgemäße integrierte Induktivität auch durch die Verfahrensschritte

- Maskierung der Oberfläche eines p-Silizium-Wafers,
- Umwandlung der nicht maskierten Bereiche des p-Siliziums in poröses Silizium,
- Oxidation der porösen Siliziumschicht in Siliziumoxid,
- CMOS-Prozeß mit Herstellung der Induktivität unter Nutzung des im jeweiligen Prozeß vorhandenen Kontakt- und Leitbahnsystems oberhalb der Region des vergrabenen dicken Oxids

herstellen.

Die Merkmale der Erfindung gehen außer aus den Ansprüchen auch aus der Beschreibung und den Zeichnungen hervor, wobei die einzelnen Merkmale jeweils für sich allein oder zu mehreren in Form von Unterkombinationen schutzfähige Ausführungen darstellen, für die hier Schutz beansprucht wird. Ausführungsbeispiele der Erfindung werden im folgenden näher erläutert.

Die Figuren zeigen:

Fig. 1 schematischer Aufbau einer Induktivität in Draufsicht

Fig. 2 schematischer Schnitt einer Induktivität

### Beispiel 1:

Fig. 1 zeigt den schematischen Aufbau einer erfindungsgemäßen Induktivität in Draufsicht, in Fig. 2 wird eine Schnittdarstellung der Induktivität gezeigt. Die integrierte Induktivität besteht aus einer oberen Metallebene 1 zur Realisierung einer Spirale, einer Isolationsschicht 2, einer unteren Metallebene 3 zur Kontaktherstellung des inneren Anschlusses 10, einer Isolationsschicht 4, einer Feldoxidschicht 5, einer Kanalstopperschicht 6, einer vergrabenen, dicken lokalen Isolationsschicht 7 sowie dem Halbleitersubstrat 8. Die Feldoxidschicht 5 sowie die Kanalstopperschicht 6 befinden sich nur außerhalb des Gebiets der integrierten Induktivität. Die vergrabene, dicke lokale Isolationsschicht 7 ist nur im Bereich der Induktivität unterhalb der Metallschichten 1, 3 angeordnet.

Zur Herstellung erfindungsgemäßer Induktivität werden in einen Silizium-Wafer mit Hilfe einer Ätzmaske im Bereich der im nachfolgenden Prozeß zu realisierenden integrierten Induktivität mit einem anisotropen Ätzverfahren Gräben von ca. 10  $\mu\text{m}$  Tiefe derart geätzt, daß im Wechsel Gräben und Stege entstehen. Die Breite der Stege und Gräben wird so gewählt, daß bei einer nachfolgenden vollständigen Umwandlung der Stege in Siliziumdioxid mittels eines thermischen Oxidationsprozesses die Gräben bis auf eine Restbreite von ca. 100 nm bis 300 nm geschlossen werden. Aufgrund des Volumenzuwachses ergeben z. B. Stege von 0,8  $\mu\text{m}$  Breite und Gräben von 1,2  $\mu\text{m}$  Breite nach vollständiger Oxidation der Stege Restgräben von ca. 150 nm bis 200 nm Breite. Diese verbleibenden Restgräben werden mittels einer abschließenden Abscheidung von Siliziumdioxid, z. B. durch CVD-Prozeß, zumindest oberflächennah vollständig geschlossen. Durch diesen Ablauf entsteht eine versenkte Isolationsschicht 7, deren Dicke durch die Tiefe der geätzten Gräben definiert ist. Nach Entfernung der CVD-Oxidschicht von der Oberfläche und der Ätzmaske für das Grabenätzen schließt sich der jeweils verwendete CMOS-Prozeß an. Alternativ kann die

Ätzmaske bereits vor der Oxidation der Stege ganz oder teilweise entfernt werden. Die integrierte Induktivität wird unter Verwendung des in diesem CMOS-Prozeß vorhandenen Kontakt- und Leitbahnsystems oberhalb der vergrabenen, dicken Isolationsschicht 7 realisiert.

#### Beispiel 2:

In Abwandlung des Verfahrens nach dem ersten Ausführungsbeispiel wird erfindungsgemäße integrierte Induktivität durch folgende Verfahrensschritte hergestellt: Ein p-Silizium-Wafer wird auf der Oberfläche maskiert, und es erfolgt anschließend eine Umwandlung der nicht maskierten Bereiche des p-Siliziums in poröses Silizium bis zu einer Dicke der porösen Siliziumschicht zwischen  $6\text{ }\mu\text{m}$  und  $20\text{ }\mu\text{m}$  mittels anodischer Reaktion in Flußsäure. Die gewünschte Dicke der porösen Siliziumschicht wird über das Stromstärke-Zeit-Produkt eingestellt. Die Stromdichte liegt dabei zwischen  $10\text{ mA}\cdot\text{cm}^{-2}$  und  $100\text{ mA}\cdot\text{cm}^{-2}$ , vorzugsweise zwischen  $40\text{ mA}\cdot\text{cm}^{-2}$  und  $50\text{ mA}\cdot\text{cm}^{-2}$ . Die Porösität wird maßgeblich durch die Konzentration der Flußsäure bestimmt. In diesem Ausführungsbeispiel liegt die Konzentration der Flußsäure, bezogen auf die Masseanteile, zwischen 40% und 50%. Die poröse Siliziumschicht wird nachfolgend oxidiert. In Abhängigkeit von den Dickenverhältnissen zwischen der zu oxidierenden porösen Siliziumschicht und der anschließend herzustellenden Feldoxidschicht 5 liegt es im Bereich der Erfindung, diese Oxidation mit der Realisierung der Feldoxidationsschicht 5 zu kombinieren. Durch geeignete Wahl der Anodisationsbedingungen ist eine optimale Porösität des Silizium von ca. 56% anzustreben, damit die bei der Umwandlung des Siliziums in Siliziumdioxid auftretende Volumenänderung berücksichtigt wird, um die resultierenden Verspannungen zu minimieren. Die weiteren Verfahrensschritte bis zur fertigen Herstellung der integrierten Induktivität erfolgen analog zum ersten Ausführungsbeispiel.



In der vorliegenden Erfindung wurde anhand konkreter Ausführungsbeispiele eine integrierte Induktivität und ein Verfahren zu deren Herstellung erläutert. Es sei aber vermerkt, daß die vorliegende Erfindung nicht auf die Einzelheiten der Beschreibung in den Ausführungsbeispielen eingeschränkt ist, da im Rahmen der Patentansprüche Änderungen und Abwandlungen beansprucht werden.

## **Patentansprüche**

1. Integrierte Induktivität, **gekennzeichnet durch** eine partielle, mindestens 5 µm dicke Isolationsschicht (7), die auf den Bereich der integrierten Induktivität lokal begrenzt und im Halbleitersubstrat (8) versenkt ist.
2. Integrierte Induktivität nach Anspruch 1, **dadurch gekennzeichnet**, daß die integrierte Induktivität aus einer oberen Metallebene (1) zur Realisierung einer Spirale, einer Isolationsschicht (2), einer unteren Metallebene (3) zur Kontaktherstellung des inneren Anschlusses (10), einer Isolationsschicht (4), einer Feldoxidschicht (5), einer Kanalstopperschicht (6), einer vergrabenen, mindestens 5 µm dicken, lokalen Isolationsschicht (7) sowie dem Halbleitersubstrat (8) besteht.
3. Integrierte Induktivität nach Anspruch 2, **dadurch gekennzeichnet**, daß die Feldoxidschicht (5) und/oder die Kanalstopperschicht (6) nur außerhalb des Gebiets der integrierten Induktivität angeordnet sind.

4. Verfahren zur Herstellung einer integrierte Induktivität, **gekennzeichnet durch die** Verfahrensschritte
- Maskierung der Oberfläche eines Silizium-Wafers,
  - Ausbildung von Gräben und Stegen durch anisotrope Ätzung,
  - Oxidation der Stege zu Siliziumoxid und zumindest oberflächennahes Auffüllen der Gräben durch Abscheidung von Siliziumoxid,
  - CMOS-Prozeß mit Herstellung der Induktivität unter Nutzung des im jeweiligen Prozeß vorhandenen Kontakt- und Leitbahnsystems oberhalb der Region des vergrabenen dicken Oxids.
5. Verfahren nach Anspruch 4, **dadurch gekennzeichnet**, daß Gräben von mindestens 5  $\mu\text{m}$  Tiefe derart geätzt werden, daß die Breite der Stege und Gräben so gewählt wird, daß bei einer nachfolgenden vollständigen Umwandlung der Stege in Siliziumdioxid mittels Oxidation die Gräben bis auf eine Restbreite von ca. 100 nm bis 300 nm geschlossen werden.
6. Verfahren nach Anspruch 4, **dadurch gekennzeichnet**, daß Gräben von mindestens 5  $\mu\text{m}$  Tiefe derart geätzt werden, daß Stege von ca. 0,8  $\mu\text{m}$  Breite und Gräben von ca 1,2  $\mu\text{m}$  Breite entstehen.

7. Verfahren zur Herstellung einer integrierte Induktivität, **gekennzeichnet durch die** Verfahrensschritte
- Maskierung der Oberfläche eines p-Silizium-Wafers,
  - Umwandlung der nicht maskierten Bereiche des p-Siliziums in poröses Silizium,
  - Oxidation der porösen Siliziumschicht in Siliziumoxid,
  - CMOS-Prozeß mit Herstellung der Induktivität unter Nutzung des im jeweiligen Prozeß vorhandenen Kontakt- und Leitbahnsystems oberhalb der Region des vergrabenen dicken Oxids.
8. Verfahren nach Anspruch 7, **dadurch gekennzeichnet**, daß die Umwandlung der nicht maskierten Bereiche des p-Siliziums in poröses Silizium bis zu einer Dicke der porösen Siliziumschicht zwischen 5  $\mu\text{m}$  und 20  $\mu\text{m}$  erfolgt.
9. Verfahren nach Anspruch 7 oder 8, **dadurch gekennzeichnet**, daß die Umwandlung mittels anodischer Reaktion in Flußsäure erfolgt.
10. Verfahren nach einem oder mehreren der Ansprüche 7 bis 9, **dadurch gekennzeichnet**, daß die gewünschte Dicke der porösen Siliziumschicht über das Stromstärke-Zeit-Produkt eingestellt wird.
11. Verfahren nach einem oder mehreren der Ansprüche 7 bis 10, **dadurch gekennzeichnet**, daß die Stromdichte bei der Umwandlung zwischen 10  $\text{mA} \cdot \text{cm}^{-2}$  und 100  $\text{mA} \cdot \text{cm}^{-2}$ , vorzugsweise zwischen 40  $\text{mA} \cdot \text{cm}^{-2}$  und 50  $\text{mA} \cdot \text{cm}^{-2}$  liegt.

12. Verfahren nach einem oder mehreren der Ansprüche 7 bis 11, **dadurch gekennzeichnet**, daß die Konzentration der Flußsäure bezogen auf die Masseanteile zwischen 40% und 50% liegt.
13. Verfahren nach einem oder mehreren der Ansprüche 7 bis 12, **dadurch gekennzeichnet**, daß nach der Umwandlung die Porösität des Silizium ca. 56% beträgt.

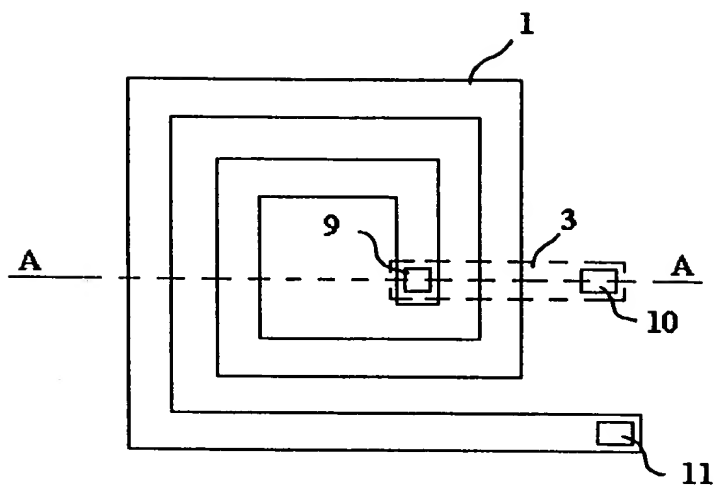


Fig. 1

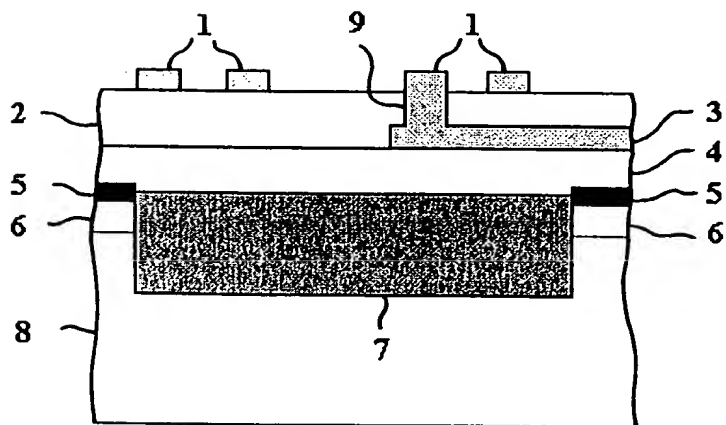


Fig. 2

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**